

## 明 細 書

### 半導体基板、半導体装置及び半導体基板の作製方法

#### 技術分野

- [0001] 本発明は、LSIなどの基本素子であるMOSTランジスタなどを高密度で作製することができる半導体基板、半導体装置及び半導体基板の作製方法に関する。

#### 背景技術

- [0002] 従来、MOSTランジスタを高密度に集積させて高集積LSIを作製するに際しては、SOI基板に対してLOCOS分離や溝分離(浅溝及び深溝)を行い、SOI層を酸化シリコンで電氣的に複数の領域に分割し、これら分割された複数の領域のそれぞれに対してMOSTランジスタを形成し、素子間分離させた状態で行っていた。
- [0003] 一方、上述したようなCMOSLSIの微細化に伴った短チャネル効果を抑制するためには、前記SOI基板のSOI層及びBOX層(埋め込み $\text{SiO}_2$ 層)の薄層化が必要である。従来のSIMOXにおいては、前記BOX層はイオン注入によって形成するが、高品質のSOI層を形成するには、ある最適範囲のイオン注入量が(酸素イオンのドーズ量 $4 \times 10^{17}$ 個/cm<sup>2</sup>前後)が存在し、前記BOX層を十分に薄層化することはできなかった。
- [0004] また、ELTRAN(キャノン株式会社)及びUNIBOND(登録商標)では、前記BOX層は、貼り合わせに用いる2枚のウエハ内に設けられた $\text{SiO}_2$ 層の厚さで決定されてしまうため、前記BOX層を薄層化すると、欠陥の抑制が困難となる。さらに、前記SOI層は、最終的にはCMPの工程を経るため、前記SOI層の膜厚はCMPの均一性に左右され、前記SOI層を薄層化すると、前記SOI層の均一性を確保できなくなり、MOSTランジスタのしきい値電圧 $V_{th}$ のバラツキが大きくなり、LSIとして動作させることが困難となる。また、SOI層の極薄化にともなうCMP時の結晶欠陥の抑制が困難となる。
- [0005] 上述のようにSOI層及びBOX層を薄層化すると、前記SOI層の電氣的分割を良好に行うことができず、当初の目的である高集積CMOSLSIを作製することができなくなるという問題があった。

特許文献1:特開平9-161477号公報

発明の開示

発明が解決しようとする課題

- [0006] 本発明は、素子間分離に基づいて高集積CMOSLSIを簡易に形成することができるとともに、SOI層及びBOX層を十分に薄層化することにより、短チャネル効果を抑制することができる新規な半導体基板、半導体装置及び半導体基板の作製方法を提供することを目的とする。

課題を解決するための手段

- [0007] 上記目的を達成すべく、本発明は、シリコンからなる基材と、基材の上方において、基材と電氣的に絶縁されるとともに、互いに電氣的に絶縁された、シリコンからなる複数の島状部とを具えることを特徴とする半導体基板に関する。また、基材との距離が互いに異なる島状部を具えることを特徴とする半導体基板に関する。さらに、基材と電氣的に絶縁された島状部と、基材に接触された島状部とを具えることを特徴とする半導体基板に関する。
- [0008] 本発明の半導体基板においては、シリコン基材の上方にシリコンからなる複数の島状部を、前記基材と電氣的に絶縁されるとともに、互いに電氣的に絶縁されるようにして設けている。したがって、前記複数の島状部のそれぞれにおいて所定のMOSTランジスタなどの基本素子を作製し、それぞれを多層配線で接続するようにすれば、素子間分離したLSIを極めて簡易に形成することができる。
- [0009] また、前記複数の島状部の幅及び配置密度などを適宜に制御することにより、形成すべきMOSTランジスタの大きさや密度を適宜制御することができ、所望の集積密度のCMOSLSIを得ることができるようになる。
- [0010] さらに、本発明の半導体基板においては、前記複数の島状部は、前記基材の主面と略平行な単一の平面内に形成することができる。したがって、上述したいわゆるBOX層の厚さは、前記基材の主面と、前記島状部の前記基材と対向する主面との間に形成された両熱酸化膜の膜厚の和として決定され、以下に詳述する作製方法に基づいて前記距離を十分に低減することができる。また、上述したいわゆるSOI層の厚さは、前記島状部の前記基材と対向する主面と、前記島状部の、前記基材と反対側

に位置する主面との距離によって決定され、以下に詳述する作製方法に基づいて前記距離を十分に低減することができる。したがって、短チャネル効果を十分に抑制できるようになる。

- [0011] また、本発明の半導体基板においては、前記複数の島状部は、前記基材の主面と略平行な複数の平面内に形成され、その結果、前記基材の上方で多段、すなわち多層に形成することもできる。したがって、前記複数の島状部にMOSTランジスタなどの基本素子を作製し、これらを互いに多層配線で接続するようにすれば、極めて集積密度の高いLSIを作製することができる。

なお、本発明の好ましい態様においては、前記複数の島状部は、以下に詳述する作製方法に起因して、酸化シリコンなどの絶縁部材中に埋設されたような構造を有することができる。

- [0012] また、本発明の半導体基板においては、基材との距離が互いに異なる島状部を形成することで、高速で動作する素子と、高耐圧な素子とを半導体基板上に容易に混載できる。このため、例えば、より高性能のアナログ・デジタル混載LSI等(半導体装置)を低いコストで作製できる。

さらに、本発明の半導体基板においては、基材と電気的に絶縁された島状部と、基材に接触された島状部とを形成することで、いわゆるSOI領域とバルク領域とを半導体基板上に容易に形成できる。すなわち、半導体基板を部分的にSOIにできる。このため、例えば、SOI基板に搭載が困難なDRAMを混載でき、半導体装置の性能を向上できる。

本発明のその他の特徴及び利点、並びに本発明の作製方法については、以下の発明の実施の形態で詳述する。

## 発明の効果

- [0013] 以上説明したように、本発明によれば、素子間分離に基づいて高集積CMOSLSIを簡易に形成できるとともに、SOI層及びBOX層を十分に薄層化することにより、短チャネル効果を抑制することができる新規な半導体基板、半導体装置及び半導体基板の作製方法を提供することができる。

## 図面の簡単な説明

- [0014] [図1]本発明の第1の実施形態における構成を概略的に示す断面図である。
- [図2]本発明の第2の実施形態における構成を概略的に示す断面図である。
- [図3]図1に示す半導体基板の作製方法を説明するための工程図である。
- [図4]図3に示す工程の次の工程を示す断面図である。
- [図5]図4に示す工程の次の工程を示す断面図である。
- [図6]図5に示す工程の次の工程を示す断面図である。
- [図7]図6に示す工程の次の工程を示す断面図である。
- [図8]図7に示す工程の次の工程を示す断面図である。
- [図9]図8に示す工程の次の工程を示す断面図である。
- [図10]第1の実施形態の半導体基板を用いて作製した半導体装置の要部を示す断面図である。
- [図11]図2に示す半導体基板の作製方法を説明するための工程図である。
- [図12]図11に示す工程の次の工程を示す断面図である。
- [図13]図12に示す工程の次の工程を示す断面図である。
- [図14]図13に示す工程の次の工程を示す断面図である。
- [図15]図14に示す工程の次の工程を示す断面図である。
- [図16]図15に示す工程の次の工程を示す断面図である。
- [図17]図16に示す工程の次の工程を示す断面図である。
- [図18]第2の実施形態の半導体基板を用いて作製した半導体装置の要部を示す断面図である。
- [図19]本発明の第3の実施形態における構成を概略的に示す断面図である。
- [図20]図19に示す半導体基板の作製方法を説明するための工程図である。
- [図21]図20のA・A'線およびB・B'線に沿う断面図である。
- [図22]図20に示す工程の次の工程を示す断面図である。
- [図23]図22に示す工程の次の工程を示す断面図である。
- [図24]図23に示す工程の次の工程を示す断面図である。
- [図25]本発明の第4の実施形態における構成を概略的に示す断面図である。
- [図26]図25に示す半導体基板の作製方法を説明するための工程図である。

[図27]図26に示す工程の次の工程を示す断面図である。

[図28]図27に示す工程の次の工程を示す断面図である。

[図29]図28に示す工程の次の工程を示す断面図である。

[図30]本発明の第5の実施形態における構成を概略的に示す断面図である。

[図31]第5の実施形態の半導体基板を用いて作製した半導体装置の要部を示す断面図である。

[図32]本発明の第6の実施形態における構成を概略的に示す断面図である。

[図33]第6の実施形態の半導体基板を用いて作製した半導体装置の要部を示す断面図である。

[図34]本発明の第7の実施形態における半導体基板の作製方法を説明するための工程図である。

[図35]本発明の第8の実施形態における半導体基板の作製方法を説明するための工程図である。

### 発明の実施の形態

[0015] 以下、本発明を発明の実施の形態に基づいて詳細に説明する。

図1は、本発明の第1の実施形態における構成を概略的に示す断面図である。図1に示す半導体基板10においては、シリコン基材11の表面に形成された凹凸部における凸部の上方において、絶縁部材13中に埋設するようにして、シリコンからなる島状部12を有している。凹凸部の凹部は、後述する図4で説明するエッチング工程により形成される。凸部は、エッチングされない部分により構成される。この結果、島状部12は基材11と電氣的に絶縁されるとともに、島状部同士も互いに電氣的に絶縁されるようになる。また、島状部12は、基材11の主面11Aと略平行な平面内に形成されて、一段すなわち単層として構成されている。絶縁部材13は、以下に説明する作製方法などに依存して、酸化シリコンなどから構成することができる。

[0016] 図1に示す半導体基板10においては、島状部12にMOSTランジスタなどの基本素子を形成するとともに、これらを多層配線で接続することにより所定のLSI構造(半導体装置)を作製することができる。

[0017] なお、島状部12の幅(後述する図8(b)において、シリコン層33の横方向の幅)は

形成すべき基本素子の大きさに基づいて決定されるが、好ましくは幅 $2\mu\text{m}$ 程度以下または幅 $4\mu\text{m}$ 程度以下に形成する。

[0018] さらに、基材11の主面11Aと、島状部12の、基材11と対向する主面12Bとの距離dは、以下に詳述する作製方法に依存して $3\text{nm}$ 〜 $200\text{nm}$ 程度に設定することができる。距離dは、SOI基板におけるいわゆるBOX層の厚さに相当するので、このような薄層化したBOX層により、図1に示す半導体基板10を用いて作製したLSIを構成する極微細MOSTランジスタの短チャネル効果を十分に抑制できるようになる。

[0019] また、島状部12の主面12Aと、島状部12の、基材11と対向する主面12Bとの距離Dは、同じく以下に詳述する作製方法に依存して $2\text{nm}$ 〜 $150\text{nm}$ 程度に設定することができる。距離Dは、SOI基板におけるいわゆるSOI層の厚さに相当するので、このような薄層化したSOI層により、図1に示す半導体基板10を用いて作製したLSIを構成する極微細MOSTランジスタの短チャネル効果を十分に抑制できるようになる。

[0020] 従来のSIMOXなどでは、 $100\text{nm}$ 程度より小さい厚さのBOX層を形成することは困難であり、したがって、本発明の半導体基板に比較して、極微細ゲート長MOSTランジスタの短チャネル効果を十分に抑制することができない。

[0021] 図2は、本発明の第2の実施形態における構成を概略的に示す断面図である。図2に示す半導体基板20においては、シリコン基材21の上方において、絶縁部材23中に埋設するようにして、シリコンからなる複数の島状部22を有している。この結果、島状部22は基材21と電氣的に絶縁されるとともに、島状部同士も互いに電氣的に絶縁されるようになる。また、島状部22は、基材11の主面11Aと略平行な複数の平面内に形成されて、多段すなわち多層として構成されている。絶縁部材23は、以下に説明する作製方法などに依存して、酸化シリコンなどから構成することができる。

[0022] 図2に示す半導体基板20においても、島状部22にMOSTランジスタなどの基本素子を形成するとともに、これらを多層配線で接続することにより所定のLSI構造を作製することができる。図2に示す半導体基板20は、図1に示す半導体基板10と比較して、島状部が多層に形成されているので、より高集積のLSI(半導体装置)を作製することができる。多層の島状部を用いてチャネルが多層化されたMOSTランジスタ(ML-MOS; multi-layer channel MOS)を作ることができ、オン電流の大きなト

ランジスタを従来より小さな面積で作ることができる。ML-MOSについては、「D. Sasaki, 他「Proposal of a multi-layer channel MOSFET: the application selective etching for Si/SiGe stacked layers」Applied Surface Science, vol 234, pp.100-103, 2003年」に詳細に記載されている。また、下層の島状部を配線の一部として使うことができる。

[0023] さらに、図2に示す半導体基板において、上層の島状部にMOSTランジスタを作り、下層の島状部に電位を与えることにより、上部の島状部のMOSTランジスタのしきい値電圧を制御することができる。この場合、上層と下層の島状部間の絶縁膜の厚さを極めて薄くすることが本発明ではできることから、下層の島状部にあたえる電圧を低電圧にすることができ、LSIの消費電力の低減化を図ることができる。

[0024] また、LSIの電源電圧の低下とともに信号振幅が小さくなる傾向にあり、シリコン基板を通してのクロストークが大きな問題となる。特に、アナログ・デジタル混載LSIでは高速化・高集積化・電源電圧の低下とともにシリコン基板を通してのクロストークの低減化が重要である。下層の島状部をアース電位等の回路の基準となる電位に固定することにより、クロストークを大幅に低減することができる。

[0025] 次に、本発明の第1の実施形態における半導体基板の作製方法について説明する。図3～図9は、図1に示す半導体基板10の作製方法を説明するための工程図である。図3(a)～図9(a)は、図1に示す半導体基板10の構成に対応させて、作製途中の半導体基板アセンブリの横方向断面を示したものであり、図3(b)～図9(b)は、それぞれ図3(a)～図9(a)に示す半導体基板アセンブリの、中心部を通る直線に沿って切った場合の、縦方向断面を示したものである。

[0026] 最初に、図3に示すように、シリコン基材31上に、シリコンゲルマニウム層32を例えばLP-CVD法により厚さ2nm～120nmに形成する。この場合、シリコン基材31上にシリコンを薄く形成してからシリコンゲルマニウム層32を形成しても良い。次いで、シリコンゲルマニウム層32上に、シリコン層33を例えばLP-CVD法により厚さ5nm～200nmに形成する。次いで、シリコン層33上に、酸化シリコン層34を例えば低温CVD法(400℃)により厚さ50nm～500nmに形成する。この場合、酸化シリコン層は、フッ硝酸による意図しないエッチングを最小限にするため、酸化シリコン層の上に

窒化シリコン層が形成されたものでも良い。

[0027] シリコンゲルマニウム層32は、ボロン(B)などのP形ドーパントを含むことが好ましい。ドーピング濃度は $1 \times 10^{19} \text{cm}^{-3}$ 前後以上とすることが好ましい。また、ゲルマニウムを5%～50%の濃度で含むことが好ましい。これによってシリコンゲルマニウム層32の、以下に示すフッ硝酸液などのエッチング溶液に対するエッチング速度が、シリコン層33の前記エッチング溶液に対するエッチング速度よりも十分高く、例えば2桁以上大きくなり、基材31から酸化シリコン層34までを含む半導体基板アセンブリに対して前記エッチング溶液を用いてエッチング処理を施した場合に、シリコン層33を溶解除去することなく、シリコンゲルマニウム層33のみを溶解除去することができるようになる。以上はP形ドーパントについて述べたが、リン等のn形ドーパントでも良く、また、シリコンゲルマニウム層32にドーパントが添加されてなくても良い。また、この場合、シリコンゲルマニウム層32を歪み緩和シリコンゲルマニウム層として、シリコン層33を歪シリコン層として形成しても良い。これにより、図1の島状部12のキャリアの移動度を高くすることができ、島状部12に形成するMOSFETの電気的特性を高めることができる。

[0028] 次いで、図4に示すように、前記半導体アセンブリにフォトリソグラフィ及びエッチングを施すことによって、シリコンゲルマニウム層32から酸化シリコン層34までを厚さ方向に除去するとともに、基材31の表面部分を部分的に除去することにより開口部35を形成する。

[0029] 次いで、図5に示すように、例えば低温CVD法(400℃)などを用いることにより、酸化シリコン層34の表面及び開口部35の内表面を覆うようにして追加の酸化シリコン層36を、例えば厚さ100nm～1000nm程度に形成する。酸化シリコン層36を形成後、例えば700℃程度の熱処理を行っても良い。酸化シリコン層36を形成前に酸化シリコン層34を除去してもよい。酸化シリコン層の軟化温度をさげるために、酸化シリコン層36にボロン、リン等の不純物を添加してもよい。その後、得られた半導体基板アセンブリに対して、フォトリソグラフィ及びエッチングを施すことによって、シリコンゲルマニウム層32から追加の酸化シリコン層36までを厚さ方向に除去するとともに、基材31の表面部分を除去して、トリム状の積層構造体を作製する。



[0030] 次いで、図6に示すように、上述したフッ硝酸系のエッチング溶液を用いて、図5に示す半導体基板アセンブリに対してエッチング処理を施し、シリコンゲルマニウム層32のみを除去する。なお、前記エッチング溶液の成分は、例えば、 $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}=60:60:1$ あるいは $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}=120:60:1$ のようにすることができる。このエッチング液によるシリコン層33とシリコンゲルマニウム層32の選択比は、1:100程度である。すなわち、シリコンゲルマニウム層32のエッチング速度は、シリコン層33に比べ100倍大きい。選択比が大きいと、シリコンゲルマニウム層32を完全にエッチングしたときに、シリコン層33を確実に残すことができる。したがって、シリコンゲルマニウム層32のエッチング量が多いにも拘わらず、シリコン層33の図6(b)の横方向の幅を $2\mu\text{m}$ 程度以下または $4\mu\text{m}$ 程度以下に制御できる。なお、フッ硝酸のエッチング溶液に適量の酢酸等を混ぜてもよい。また、この場合、アンモニア／過酸化水素系のエッチング溶液を用いてもよい。例えば、 $\text{NH}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:5:50$ の混合比とすることができる。また、ドライエッチングとして、酸素／フッ素系ガスを用いてエッチングしても良い。

[0031] 次いで、図7に示すように、図6に示す半導体基板アセンブリに対して熱酸化処理を施し、基材31の表面部分及びシリコン層33の、基材31と対向した表面部分を熱酸化させ、表面酸化部分31a及び33aを形成する。なお、これら表面酸化部分の厚さは $1.5\text{nm}$ 〜 $100\text{nm}$ とすることができる。また、前記熱酸化処理は、ウェット $\text{O}_2$ 酸化などを用いた湿式で行うことができる。なお、表面酸化部分31a及び33a形成前に、犠牲酸化しその後これを除去する前処理をしてもよい。

[0032] 次いで、図8に示すように、図7に示す半導体基板アセンブリに対してアニール処理を施し、酸化シリコン層36を軟化・流動化させ表面酸化部分33aを表面酸化部分31aに接触させ互いに接着することにより、熱酸化シリコン層37を形成する。このとき、酸化シリコン層34と36もより強固に接着し酸化シリコン層38となる。なお、アニール処理は、 $850^\circ\text{C}$ 〜 $1350^\circ\text{C}$ の温度範囲で行うことが好ましい。酸化シリコン層36にボロン、リン等の不純物を添加した場合は軟化・流動化する温度は低下するので、アニール処理は上記のアニール処理の温度範囲の低温側でよい。

[0033] 次いで、図9に示すように、図8に示す半導体基板アセンブリの開口部35を埋設す

るようにCVD法により酸化シリコン膜39を形成し、CMP法などによる平坦化を行うことにより、図1に示すような半導体基板10を得る。

[0034] 上述した作製方法においては、図1に示す基材11の主面11Aと島状部12の主面12Bとの距離 $d$ で規定される、SOI基板におけるBOX層の厚さは、熱酸化シリコン層37の厚さで決定されることになる。また、島状部12の主面12Aと他の主面12Bとの距離 $D$ で規定される、SOI基板におけるSOI層の厚さは、LP-CVD法で形成されるシリコン層33の厚さとその後の熱酸化量とで決定される。したがって、これらの層の厚さを十分に小さく設定すれば、前記BOX層及びSOI層の厚さを、CMPなどの加工処理に依存することなく、極めて簡易に所定の厚さまで低減することができる。

[0035] また、従来のUNIBOND及びELTRANにおいては、半導体基板を作製するに際し2枚のウエハを必要とするが、本発明の作製方法では1枚のウエハのみを用いれば良い。また、従来のSOI基板においては、基板作製と素子間分離とを別工程で実施していたが、本発明の作製方法では、基板作製と素子間分離とを同一のプロセス中で行うことができる。したがって、目的とする半導体基板の製造コストを十分に低減することができる。

図10は、第1の実施形態の半導体基板を用いて作製した半導体装置の要部を示している。半導体装置は、酸化シリコン層37 (BOX層) 上に作製された複数のMOSトランジスタTRを有している。各トランジスタTRは、シリコン層33にボロン、リン、あるいは砒素等のドーパントを選択的に打ち込んで作製されたソース領域S、ドレイン領域Dおよびチャネル領域Cと、チャネル領域C上にゲート絶縁膜を介して作製されたゲート電極Gとで構成されている。さらに、図示を省略するが、ソース領域S、ドレイン領域Dおよびゲート電極Gは、複数の配線層を用いて形成される配線(信号線、電源線)に接続される。配線層は、トランジスタTR上に層間絶縁膜を介して積層される。

[0036] 図11～図17は、図2に示す本発明の第2の実施形態における半導体基板20の作製方法を説明するための工程図である。図11(a)～図17(a)は、図2に示す半導体基板20の構成に対応させて、作製途中の半導体基板アセンブリの横方向断面を示したものであり、図11(b)～図17(b)は、それぞれ図11(a)～図17(a)に示す半導体基板アセンブリの、中心部を通る直線に沿って切った場合の、縦方向断面を示し

たものである。なお、図3～図9と同様の構成要素に対しては同じ参照数字を用いている。

[0037] 図2に示す半導体基板20も、基本的には図1に示す半導体基板と同様にして作製することができる。最初に、図11に示すように、シリコン基材31上に、シリコンゲルマニウム層32及びシリコン層33を、最下層にシリコンゲルマニウム層が位置し、最上層にシリコン層33が位置するようにして、交互に積層する。図11においては、シリコンゲルマニウム層32及びシリコン層33は、それぞれ2層ずつ形成されている。シリコンゲルマニウム層32及びシリコン層33の好ましい形成方法は、上記同様にLP-CVD法であり、好ましい厚さはそれぞれ2nm～120nmおよび5～200nmである。また、この場合、シリコンゲルマニウム層32を歪み緩和シリコンゲルマニウム層として、シリコン層33を歪シリコン層として形成しても良い。これにより、図2のシリコンからなる島状部22のキャリアの移動度を高くすることができ、島状部22に形成するMOSFETの電気的特性を高めることができる。

[0038] 次いで、最上層に位置するシリコン層33上に、酸化シリコン層34を例えばCVD法により厚さ50nm～500nmに形成する。この場合、酸化シリコン層は、フッ硝酸による意図しないエッチングを最小限にするため酸化シリコン層の上に窒化シリコン層が形成されたものでも良い。

[0039] シリコンゲルマニウム層32は、上述したように、ボロン(B)などのドーパントを $1 \times 10^{19} \text{cm}^{-3}$ 以上の濃度で含み、ゲルマニウムを5%～50%の濃度で含むことが好ましい。なお、ドーパントはリン等のn形ドーパントでもよく、あるいはシリコンゲルマ層32にドーパントが添加されてなくてもよい。

[0040] 次いで、図12に示すように、前記半導体アセンブリにフォトリソグラフィ及びエッチングを施すことによって、最下層のシリコンゲルマニウム層32から酸化シリコン層34までを厚さ方向に除去するとともに、基材31の表面部分を部分的に除去することにより開口部35を形成する。

[0041] 次いで、図13に示すように、例えばCVD法などを用いることにより、酸化シリコン層34の表面及び開口部35の内表面を覆うようにして追加の酸化シリコン層36を厚さ100nm～1000nmに形成する。酸化シリコン層36の軟化温度を下げるために、ボロ

ン、リン等の不純物を酸化シリコン層36に添加してもよい。その後、得られた半導体基板アセンブリに対して、フォトリソグラフィ及びエッチングを施すことによって、シリコンゲルマニウム層32から追加の酸化シリコン層36までを厚さ方向に除去するとともに、基材31の表面部分を除去して、トリム状の積層構造体を作製する。

[0042] 次いで、図14に示すように、上述したフッ硝酸系のエッチング溶液を用いて、図13に示す半導体基板アセンブリに対してエッチング処理を施し、シリコンゲルマニウム層32のみを除去する。また、この場合、上述したアンモニア／過酸化水素系のエッチング溶液を用いても良い。ドライエッチングとして、酸素／フッ素系ガスを用いてエッチングしても良い。

[0043] 次いで、図15に示すように、図14に示す半導体基板アセンブリに対して熱酸化処理を施し、基材31の表面部分及びシリコン層33の表面部分を熱酸化させて、表面酸化部分31a及び33aを形成する。なお、表面酸化部分31a及び33aに要求される好ましい特性は、図7に示す場合と同様である。

[0044] 次いで、図16に示すように、図15に示す半導体基板アセンブリに対してアニール処理を施し、酸化シリコン層36を軟化・流動化させ、表面酸化部分33aを表面酸化部分31aに接触かつ接着させることにより熱酸化シリコン層37を形成する。このとき、これより上層にある2つの表面酸化部分33aも互に接触・接着し、熱酸化シリコン層37を形成する。また、酸化シリコン層34と36はより強く接着し熱酸化シリコン層38を形成する。なお、アニール処理は、850℃～1350℃の温度範囲で行うことが好ましい。

[0045] 次いで、図17に示すように、図16に示す半導体基板アセンブリの開口部35を埋設するようにCVD法により酸化シリコン膜39を形成し、CMPなどによる平坦化を行うことにより、図2に示すような半導体基板20を得る。なお、上層と下層の島状部の厚さを変えることもできる。

図18は、第2の実施形態の半導体基板を用いて作製した半導体装置の要部を示している。第1の実施形態(図10)と同じ要素には同じ符号を付け、詳細な説明を省略する。半導体装置は、上側の酸化シリコン層37(BOX層)上に作製された複数のMOSTランジスタTRを有している。積層された酸化シリコン層37の間のシリコン層33は、ランジスタTRの閾値電圧を調整するV<sub>th</sub>制御電極VCとして機能する。この実

施形態では、 $V_{th}$ 制御電極VCに与える電圧を変えることで、トランジスタTRの閾値電圧を調整できる。例えば、トランジスタTRを動作させるときに閾値電圧を下げることで、トランジスタTRの動作速度を向上できる。トランジスタTRを動作させないときに閾値電圧を上げることで、トランジスタTRのオフ電流(サブスレッショルド電流)を削減できる。したがって、高速で消費電力が低い半導体装置を設計できる。なお、第1の実施形態と同様に、ソース領域S、ドレイン領域D、ゲート電極Gおよび $V_{th}$ 制御電極VCは、トランジスタTR上に作製される配線に接続される。

[0046] 図19は、本発明の第3の実施形態における構成を概略的に示す断面図である。上述した第1の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。この半導体基板30は、複数種の厚さ $d_1$ 、 $d_2$  ( $d_1 < d_2$ ) のBOX層を有している。島状部12の厚さは、第1の実施形態と同じDに形成されている。厚さ $d_1$  (第1の距離) の熱酸化シリコン膜を有するBOX層上の複数の島状部12には、例えば、ゲート長の短いMOSTランジスタが作製される。厚さ $d_2$  (第2の距離) の熱酸化シリコン膜を有するBOX層上の複数の島状部12には、例えば、ゲート長が長く、高い耐圧を有するMOSTランジスタが作製される。耐圧の高いMOSTランジスタは、アナログ回路や外部からのサージ等による素子破壊を防ぐ保護回路(LSIの入力回路または出力回路)を設計する際に必要になる。本発明により、簡易な作製工程により、厚さの異なるBOX層を有する半導体基板30を作製できるため、より高性能のアナログ・デジタル混載LSI等(半導体装置)を低いコストで作製できる。また、高耐圧なMOSTランジスタを容易に作製できる。なお、第3の実施形態は、上述した第1の実施形態と同様の効果を有する。

[0047] 図20～図24は、図17に示す半導体基板30の作製方法を説明するための工程図である。まず、上述した第1の実施形態の図3～図7の工程を完了した後、図20に示すように、熱酸化シリコン膜を厚くするBOX層に対応する領域(図の左側のシリコン層33を含む領域)を覆ってホトレジスタ41を選択的に形成する。図21は、図20のA-A'線およびB-B'線に沿う断面を示している。ホトレジスタ41で覆われた表面酸化部分31a及び33aは、外部に露出していない。この状態で、例えば、希フッ酸によるウエットエッチングが実施される。

- [0048] ウェットエッチングにより、図22に示すように、外部に露出している表面酸化部分31a及び33aは除去され、ホトレジスト41で覆われていた表面酸化部分31a及び33aは除去されずに残る。次に、図23に示すように、上述した図7と同様に熱酸化処理を施し、基材31の表面部分及びシリコン層33の基材31と対向した表面部分を熱酸化させ、新たに表面酸化部分31b及び33bを形成する。このとき、表面酸化部分31b及び33bは、図20においてホトレジスト41で覆われた領域で厚く、ホトレジスト41で覆われていない領域で薄くなる。
- [0049] 次に、図24に示すように、上述した図8と同様にアニール処理を施し、図23の酸化シリコン層36を軟化・流動化させ表面酸化部分33bを表面酸化部分31bに接触させ互いに接着することにより、熱酸化シリコン層37を形成する。この後、上述した図9と同様に、CVD法により開口部35を酸化シリコン膜39で埋設し、CMP法などによる平坦化を行うことにより、図19示すような半導体基板30を得る。
- [0050] 図25は、本発明の第4の実施形態における構成を概略的に示す断面図である。上述した第2の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。この半導体基板40は、複数種の厚さ $d_1$ 、 $d_2$  ( $d_1 < d_2$ ) のBOX層が積層された構造を有している。島状部22の厚さは、それぞれ $D_1 \sim D_4$ に形成されている。厚さ $D_1 \sim D_4$ は、島状部22の酸化が両面または片面で行われるかで異なり、さらに酸化膜の除去が行われるか否かで異なる。一般的には、厚さ $D_2$ が最も大きく、厚さ $D_3$ が最も小さい。上述した第3の実施形態と同様に、厚さ $d_1$ の熱酸化シリコン膜を有する上側のBOX層上の複数の島状部22には、例えば、ゲート長の短いMOSTランジスタが作製される。厚さ $d_2$ の熱酸化シリコン膜を有する上側のBOX層上の複数の島状部22には、例えば、ゲート長が長く、高い耐圧を有するMOSTランジスタが作製される。半導体基板40は、第2の実施形態と第3の実施形態の効果を併せ持っている。
- [0051] 図26～図29は、図25に示す半導体基板40の作製方法を説明するための工程図である。まず、上述した第2の実施形態の図11～図15の工程を完了した後、図26に示すように、熱酸化シリコン膜を厚くするBOX層に対応する領域(図の左側のシリコン層33を含む領域)を覆ってホトレジスタ41を選択的に形成する。ホトレジスト41で覆われた表面酸化部分31a及び33aは、外部に露出していない。この状態で、例え

ば、希フッ酸によるウエットエッチングを実施される。

[0052] ウエットエッチングにより、図27に示すように、外部に露出している表面酸化部分31a及び33aは除去され、ホトレジスト41で覆われた表面酸化部分31a及び33aは除去されずに残る。次に、図28に示すように、上述した図15と同様に熱酸化処理を施し、基材31の表面部分及びシリコン層33の基材31と対向した表面部分を熱酸化させ、新たに表面酸化部分31b及び33bを形成する。このとき、表面酸化部分31b及び33bは、図26においてホトレジスト41で覆われた領域で厚く、ホトレジスト41で覆われていない領域で薄くなる。

[0053] 次に、図29に示すように、上述した図16と同様にアニール処理を施し、図28の酸化シリコン層36を軟化・流動化させ表面酸化部分33bを表面酸化部分31bに接触させ互いに接着することにより、熱酸化シリコン層37を形成する。この後、上述した図17と同様に、CVD法により開口部35を酸化シリコン膜39で埋設し、CMP法などによる平坦化を行うことにより、図25に示すような半導体基板40を得る。

[0054] 図30は、本発明の第5の実施形態における構成を概略的に示す断面図である。上述した第1および第3の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。この半導体基板50は、厚さd1のBOX層を有する領域(図の左側)と、BOX層が形成されない領域(図の右側)とを有している。BOX層を有する領域は、いわゆるSOI領域として機能し、BOX層が形成されない領域は、いわゆるバルク領域として機能する。すなわち、この実施形態では、半導体基板50を部分的にSOI領域あるいはバルク領域にできる。SOI領域の島状部12(シリコン層)およびバルク領域の島状部12は、それぞれ複数形成される。

[0055] 一般に、DRAMは、SOI基板を用いて作製することが困難である。このため、例えば、DRAMを混載する画像処理用のシステムLSIは、SOI基板を用いることができず、一般のシリコンウエハを用いて作製している。あるいは、画像処理用LSIとDRAMとを別チップにしている(外付けのDRAMを使用)。これは、DRAMのデータ保持時間が、SOI基板の使用により短くなるためである。具体的には、DRAMのデータ保持には、読み出し用のビット線の電位が変化しないスタティックな状態と、ビット線の電位が他のメモリセルの読み出しのために変化するダイナミックな状態とがある。ダイ

ナミックな状態では、メモリセルの転送トランジスタのソース・ドレイン間の電位差は、ビット線の電位の変化に対応して変化する。接合リークによって生じるボディ電位の上昇は、ビット線の電位の変化によってサブスレッショルドリークを引き起こし、データ保持時間を短くしてしまう。本発明の適用により、DRAMを混載するシステムLSIをSOI基板内に形成されるバルク領域を用いて作製することができる。したがって、DRAMのデータ保持特性が劣化することを防止でき、システムLSIの性能を向上できる。具体的には、システムLSIの動作周波数を向上でき、あるいは消費電力を削減できる。

[0056] この半導体基板50は、例えば、上述した第3の実施形態の図22の工程を完了した後、図23に示した工程を実施せずに、図24に示したアニール処理を施して島状部12(シリコン膜)とシリコン基材11との隙間を無くし、上述した図9と同様に、CVD法により開口部35を酸化シリコン膜39で埋設し、CMP法などによる平坦化を行うことにより作製できる。

図31は、第6の実施形態の半導体基板を用いて作製した半導体装置の要部を示している。第1の実施形態(図10)と同じ要素には同じ符号を付け、詳細な説明を省略する。この実施形態では、SOI領域(図の左側)とバルク領域(図の右側)にトランジスタTRがそれぞれ作製される。トランジスタTRは、同じ製造工程を用いて同時に作製される。例えば、SOI領域にロジック回路が作製され、バルク領域にDRAMが作製される。すなわち、ロジック・メモリ混載LSIが作製される。また、SOI領域にロジック回路を形成することで、サージに対する耐圧を向上できる。

[0057] 図32は、本発明の第6の実施形態における構成を概略的に示す断面図である。上述した第2および第4の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。この半導体基板60は、厚さd1を有し積層された複数のBOX層を有する領域と、BOX層が形成されない領域とを有している。第5の実施形態と同様に、BOX層を有する領域(図の左側)は、いわゆるSOI領域として機能し、BOX層が形成されない領域(図の右側)は、いわゆるバルク領域として機能する。SOI領域の島状部12(シリコン層)およびバルク領域の島状部12は、それぞれ複数形成される。本発明の適用により、第5の実施形態と同様に、DRAMを混載するシステムLSIをSOI基板を



用いて作製することができ、システムLSIの性能を向上できる。

- [0058] 半導体基板60は、例えば、上述した第4の実施形態の図27の工程を完了した後、図28に示した工程を実施せずに、図29に示したアニール処理を施して島状部22(シリコン膜)とシリコン基材12との隙間を無くし、上述した図17と同様に、CVD法により開口部35を酸化シリコン膜39で埋設し、CMP法などによる平坦化を行うことにより作製できる。

図33は、第5の実施形態の半導体基板を用いて作製した半導体装置の要部を示している。第1の実施形態(図10)および第2の実施形態(図18)と同じ要素には同じ符号を付け、詳細な説明を省略する。この実施形態では、SOI領域(図の左側)とバルク領域(図の右側)にトランジスタTRがそれぞれ作製される。両トランジスタTRは、同じ製造工程を用いて同時に作製される。さらに、SOI領域のトランジスタTRは、第2の実施形態と同様に、Vth制御電極VCに与える電圧を変えることで、トランジスタTRの閾値電圧を調整できる。したがって、高速で消費電力が低いロジック・メモリ混載LSIを設計できる。

- [0059] 図34は、本発明の第7の実施形態において、半導体基板を作製するための一工程を示す断面図である。上述した第1の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。この半導体基板70は、BOX層を作製する工程を除き、第1の実施形態の半導体基板10と同じ工程で作製される。完成した半導体基板70は、半導体基板10と同じものである。このため、第7の実施形態は、第1の実施形態と同様の効果を有する。

- [0060] 半導体基板70を作製するために、まず、第1の実施形態の図3ー図6に示した工程が実施される。次に、表面酸化部分31a及び33aが互いに接触するまで、第1の実施形態の図7の工程(熱酸化処理)が実施される。この際、熱酸化処理(ウェット $O_2$ 酸化)は、BOX層の膜厚を均一にするために、いわゆる反応律速の領域を用いて700ー800℃で実施する。そして、図33に示すように、表面酸化部分31a及び33aが互いに接触した後、上述した図8と同様にアニール処理を施し、表面酸化部分31a及び33aを互いに接着する。この後、上述した図9と同様に、CVD法により開口部35を酸化シリコン膜39で埋設し、CMP法などによる平坦化を行うことにより、図1と同じ半導

体基板70を得る。なお、表面酸化部分31a及び33aの接着は、アニール処理を施さず、表面酸化部分31a及び33aが接触した後に、さらに酸化を進めて両者を接着してもよい。

[0061] 図35は、本発明の第8の実施形態において、半導体基板を作製するための一工程を示す断面図である。上述した第2の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。この半導体基板90は、BOX層を作製する工程を除き、第2の実施形態の半導体基板20と同じ工程で作製される。完成した半導体基板80は、半導体基板20と同じものである。このため、第8の実施形態は、第2の実施形態と同様の効果を有する。

[0062] 半導体基板80を作製するために、まず、第2の実施形態の図11～図14に示した工程が実施される。次に、表面酸化部分31a及び33aが互いに接触するまで、第2の実施形態の図15の工程(熱酸化処理)が実施される。この際、第7の実施形態と同様に、熱酸化処理(ウェット $O_2$ 酸化)は、BOX層の膜厚を均一にするために、いわゆる反応律速の領域を用いて700～800℃で実施する。そして、図35に示すように、表面酸化部分31a及び33aが互いに接触した後、上述した図16と同様にアニール処理を施し、表面酸化部分31a及び33aを互いに接着する。この後、上述した図17と同様に、CVD法により開口部35を酸化シリコン膜39で埋設し、CMP法などによる平坦化を行うことにより、図2と同じ半導体基板80を得る。なお、上述した第7の実施形態と同様に、表面酸化部分31a及び33aの接着は、アニール処理を施さず、表面酸化部分31a及び33aが接触した後に、さらに酸化を進めて両者を接着してもよい。

[0063] 従来のUNIBOND及びELTRANにおいては、図2に示すような、多層の島状部を有する半導体基板を作製するに際し、複数のウエハを順次に張り合わせて作製しなければならず、その工程が極めて繁雑(一層の島状部の製造工程数の多層倍)となって製造コストを増大させていた。これに対して上述した本発明の作製方法によれば、シリコンゲルマニウム層及びシリコン層を追加的に設けるという簡易な工程を追加するのみで、目的とする多層の島状部を有する半導体基板を簡易に形成することができる。

[0064] 上述した実施形態において、酸化シリコン層36を、酸化シリコン膜が薄いポリシリコ

ン(又はアモルファスシリコン)でサンドイッチされた多層膜で構成しても良い。この場合、シリコンゲルマニウム層32のエッチング時に(例えば、図6および図14)、シリコンゲルマニウム層32を除去した空間に露出した酸化シリコン層36がエッチングされることを防止できる。ポリシリコンまたはアモルファスシリコンは、その後の熱酸化処理により酸化シリコンに変化する。

[0065] また、上述した実施形態における850℃～1350℃でのアニール処理中に(例えば、図8および図16)、表面酸化部分31a、33aを強固に接着させるために、必要に応じてウエハの上側から圧力を加えて接着しても良い。この際、圧力は、ウエハ上に別のウエハを載せる、あるいは、ウエハ上からガスを吹き付けることで加えることができる。

[0066] 以上、発明の実施の形態に則して本発明を説明してきたが、本発明の内容は上記に限定されるものではなく、本発明の範疇を逸脱しない限りにおいて、あらゆる変形や変更が可能である。

## 請求の範囲

- [1] シリコンからなり表面に凹凸部が形成された基材と、  
前記基材の凸部の上方において、前記基材と電氣的に絶縁されるとともに、互いに電氣的に絶縁された、シリコンからなる複数の島状部と、  
を具えることを特徴とする、半導体基板。
- [2] 前記基材と前記島状部との間に形成される絶縁部材は、2層で構成されていることを特徴とする、請求項1に記載の半導体基板。
- [3] 前記複数の島状部は、前記基材の主面と略平行な単一の平面内に形成されたことを特徴とする、請求項1に記載の半導体基板。
- [4] 前記複数の島状部は、前記基材の主面と略平行な複数の平面内に形成され、前記基材の凸部の上方において多段状に形成されたことを特徴とする、請求項1に記載の半導体基板。
- [5] 互いに積層された前記島状部の間に形成される絶縁部材は、2層で構成されていることを特徴とする、請求項4に記載の半導体基板。
- [6] 前記複数の島状部は、前記基材上に設けられた絶縁部材中に埋設された構造を呈することを特徴とする、請求項1〜5のいずれか一に記載の半導体基板。
- [7] 前記絶縁部材は酸化シリコンからなることを特徴とする、請求項6に記載の半導体基板。
- [8] 前記基材の、前記島状部と対向する主面と、前記島状部の、前記基材と対向する主面との距離は、前記島状部により異なることを特徴とする、請求項1〜7に記載の半導体基板。
- [9] 前記距離が第1の距離である島状部と、前記距離が第2の距離である島状部とで構成されることを特徴とする、請求項8に記載の半導体基板。
- [10] 前記基材上に接触されるとともに、前記基材と電氣的に絶縁された島状部と互いに電氣的に絶縁された、シリコンからなる島状部を具えることを特徴とする、請求項1〜7のいずれか一に記載の半導体基板。
- [11] 前記各凸部の上方において、複数の前記島状部が多段状に形成され、  
多段状の前記島状部の厚さは互いに異なることを特徴とする、請求項8または請求

項10記載の半導体基板。

- [12] 前記基材の、前記島状部と対向する主面と、前記島状部の、前記基材と対向する主面との距離が3nm〜200nmであることを特徴とする、請求項1〜7のいずれかに記載の半導体基板。
- [13] 前記島状部の前記基材と対抗する主面と、前記島状部の、前記基材と反対側に位置する主面との距離は2nm〜150nmであることを特徴とする、請求項1〜7のいずれかに記載の半導体基板。
- [14] 前記島状部は、歪シリコン層として形成されていることを特徴とする、請求項1〜13のいずれかに記載の半導体基板。
- [15] 請求項1〜14のいずれかに記載の半導体基板を具えることを特徴とする、半導体装置。
- [16] シリコンからなる基材を準備する工程と、  
前記基材上にシリコンゲルマニウム層を形成する工程と、  
前記シリコンゲルマニウム層上にシリコン層を形成する工程と、  
前記シリコン層上に酸化シリコン層を形成する工程と、  
フォトリソグラフィ及びエッチングによって、前記シリコンゲルマニウム層から前記酸化シリコン層までを厚さ方向において除去するとともに、前記基材の表面部分を除去して複数の開口部を形成する工程と、  
前記酸化シリコン層及び前記複数の開口部の内表面を覆うようにして追加の酸化シリコン層を形成する工程と、  
フォトリソグラフィ及びエッチングによって、前記シリコンゲルマニウム層から前記追加の酸化シリコン層までを厚さ方向において除去するとともに、前記基材の上面部分を除去して、トリム状の積層構造体を形成する工程と、  
前記シリコンゲルマニウム層を選択的にエッチングして除去する工程と、  
前記積層構造体に熱酸化処理を施し、前記基材の表面部分及び前記シリコン層の、前記基材と対向する表面部分を酸化させる工程と、  
前記基材の表面部分の熱酸化シリコン層上に絶縁膜を形成するとともに、平坦化処理を施す工程と、

を具えることを特徴とする、半導体基板の作製方法。

- [17] 前記熱酸化処理の工程と前記平坦化処理の工程の間に、前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記シリコン層の表面酸化部分とを接着させ、熱酸化シリコン層を形成する工程を具えることを特徴とする、請求項16に記載の半導体基板の作製方法。
- [18] 前記熱酸化処理の工程と前記平坦化処理の工程の間に、  
所定の島状部に対応する領域において、前記酸化膜を選択的に除去する工程と、  
全ての島状部に対応する領域において、前記基材の表面部分及び前記シリコン層の前記基材と対向する表面部分に、熱酸化処理により酸化膜を形成する工程と、  
前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記シリコン層の表面酸化部分とを接着させ、熱酸化シリコン層を形成する工程と、  
を具えることを特徴とする、請求項16に記載の半導体基板の作製方法。
- [19] 前記熱酸化処理の工程と前記平坦化処理の工程の間に、  
所定の島状部に対応する領域において、前記酸化膜を選択的に除去する工程と、  
前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記シリコン層の表面酸化部分とを接着させ、熱酸化シリコン層を形成するとともに、除去した酸化膜に対応する島状部を前記基材に接着させる工程と、  
を具えることを特徴とする、請求項16に記載の半導体基板の作製方法。
- [20] シリコンからなる基材を準備する工程と、  
前記基材上において、複数のシリコンゲルマニウム層と複数のシリコン層とを、最下層に前記シリコンゲルマニウム層が位置し、最上層に前記シリコン層が位置するようにして交互に積層させる工程と、  
前記最上層に位置するシリコン層上に酸化シリコン層を形成する工程と、  
フォトリソグラフィ及びエッチングによって、前記最下層に位置する前記シリコンゲルマニウム層から前記酸化シリコン層までを厚さ方向において除去するとともに、前記基材の表面部分を除去して複数の開口部を形成する工程と、

前記酸化シリコン層及び前記複数の開口部の内表面を覆うようにして追加の酸化シリコン層を形成する工程と、

フォトリソグラフィ及びエッチングによって、前記最下層に位置する前記シリコンゲルマニウム層から前記追加の酸化シリコン層までを厚さ方向において除去するとともに、前記基材の上面部分を除去して、トリム状の積層構造体を形成する工程と、

前記複数のシリコンゲルマニウム層を選択的にエッチングして除去する工程と、

前記積層構造体に熱酸化処理を施し、前記基材の表面部分及び前記複数のシリコン層の表面部分を酸化させる工程と、

前記基材の表面部分の熱酸化シリコン層上に絶縁膜を形成するとともに、平坦化処理を施す工程と、

を具えることを特徴とする、半導体基板の作製方法。

- [21] 前記熱酸化処理の工程と前記平坦化処理の工程の間に、前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記基材と対向するように設けられた前記シリコン層の表面酸化部分と接着させるとともに、隣接する前記複数のシリコン層の表面酸化部分とを接着させ、熱酸化シリコン層を形成する工程を具えることを特徴とする、請求項20に記載の半導体基板の作製方法。

- [22] 前記熱酸化処理の工程と前記平坦化処理の工程の間に、  
積層される所定の島状部に対応する領域において、前記酸化膜を選択的に除去する工程と、  
全ての島状部に対応する領域において、前記基材の表面部分及び前記シリコン層の前記基材と対向する表面部分に、熱酸化処理により酸化膜を形成する工程と、  
前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記基材と対向するように設けられた前記シリコン層の表面酸化部分とを接着させ、熱酸化シリコン層を形成する工程と、  
を具えることを特徴とする、請求項20に記載の半導体基板の作製方法。

- [23] 前記熱酸化処理の工程と前記平坦化処理の工程の間に、  
積層される所定の島状部に対応する領域において、前記酸化膜を選択的に除去

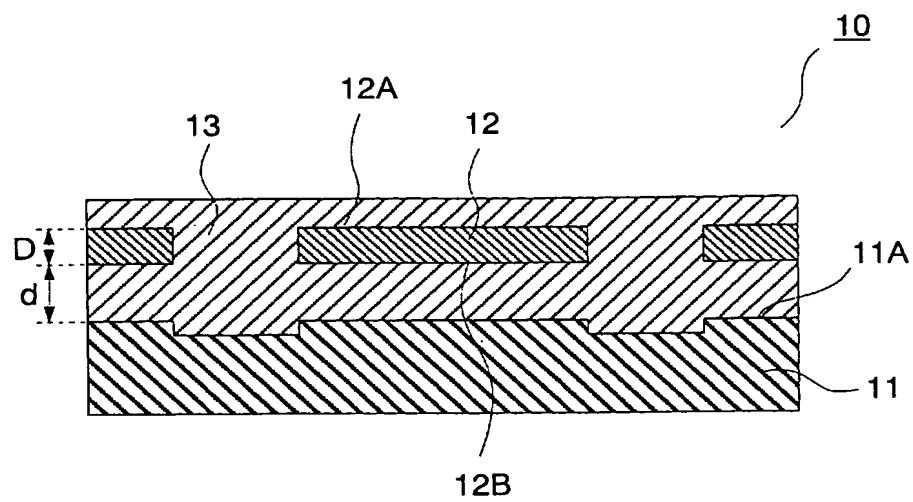
する工程と、

前記積層構造体にアニール処理を施し、前記追加の酸化シリコン層を軟化・流動化させて前記基材の表面酸化部分と前記基材と対向するように設けられた前記シリコン層の表面酸化部分とを接着させ、熱酸化シリコン層を形成するとともに、除去した酸化膜に対応する複数の島状部を互いに接着し、かつ除去した酸化膜に対応する前記基材側の前記島状部を前記基材に接着させる工程と、  
を具えることを特徴とする、請求項20に記載の半導体基板の作製方法。

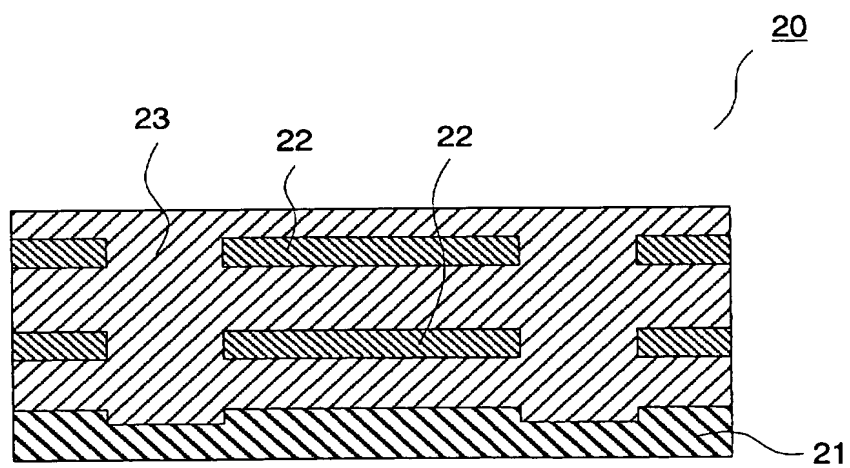
- [24] 前記複数のシリコンゲルマニウム層に対してドーパントを含有させる工程を具えることを特徴とする、請求項16～23のいずれかに記載の半導体基板の作製方法。
- [25] 前記ドーパントはボロン(B)であることを特徴とする、請求項24に記載の半導体基板の作製方法。
- [26] 前記シリコンゲルマニウム層中のゲルマニウム濃度が5%～50%であることを特徴とする、請求項16～25のいずれかに記載の半導体基板の作製方法。
- [27] 前記シリコンゲルマニウム層は、フッ硝酸系のエッチング液を用いて除去することを特徴とする、請求項16～26のいずれかに記載の半導体基板の作製方法。
- [28] 前記熱酸化処理は、湿式で行うことを特徴とする、請求項16～27のいずれかに記載の半導体基板の作製方法。
- [29] 前記アニール処理は、850℃～1350℃で行うことを特徴とする、請求項16～28のいずれかに記載の半導体基板の作製方法。
- [30] 前記基材の表面部分の熱酸化シリコン層上に形成される前記絶縁膜は、酸化シリコンからなることを特徴とする、請求項16～29のいずれかに記載の半導体基板の作製方法。
- [31] 前記シリコン層を至シリコン層として形成することを特徴とする、請求項16～30のいずれかに記載の半導体基板の作製方法。
- [32] 請求項16～31のいずれかに記載の作製方法を含むことを特徴とする、半導体装置の作製方法。



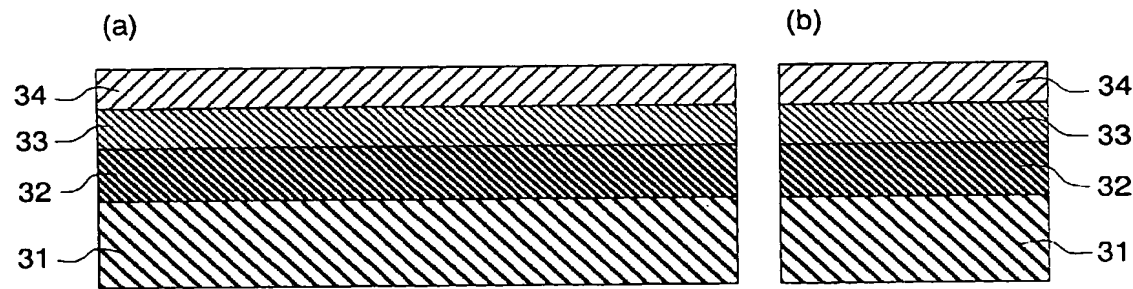
[図1]



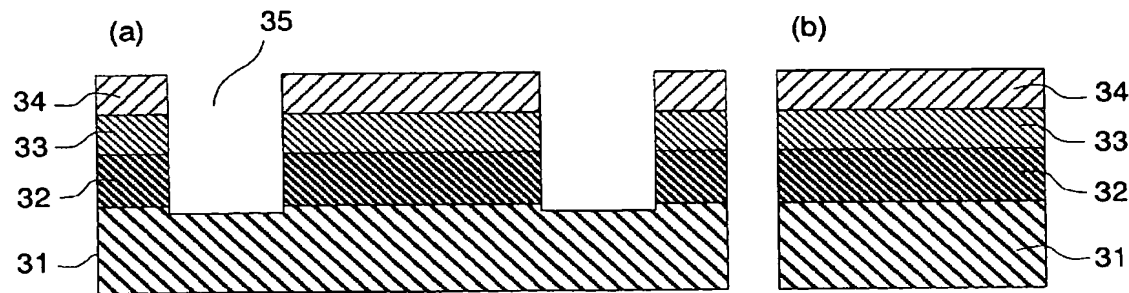
[図2]



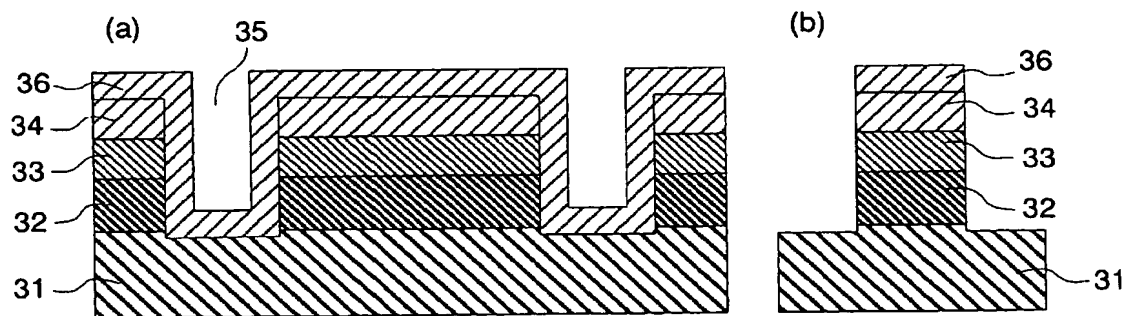
[図3]



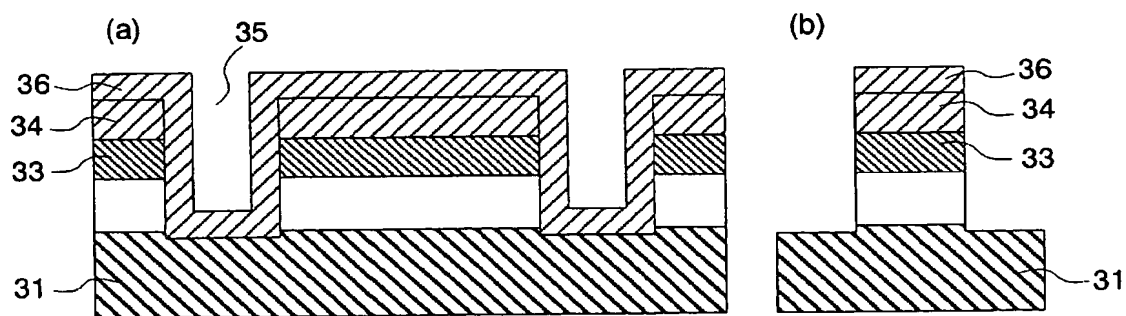
[図4]



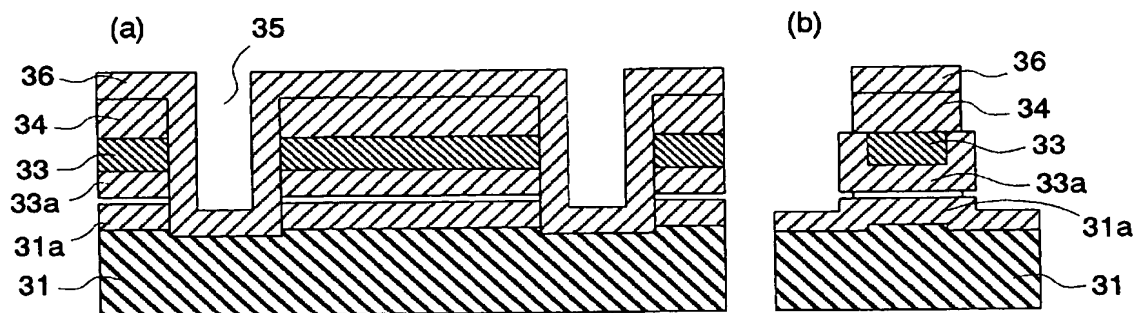
[図5]



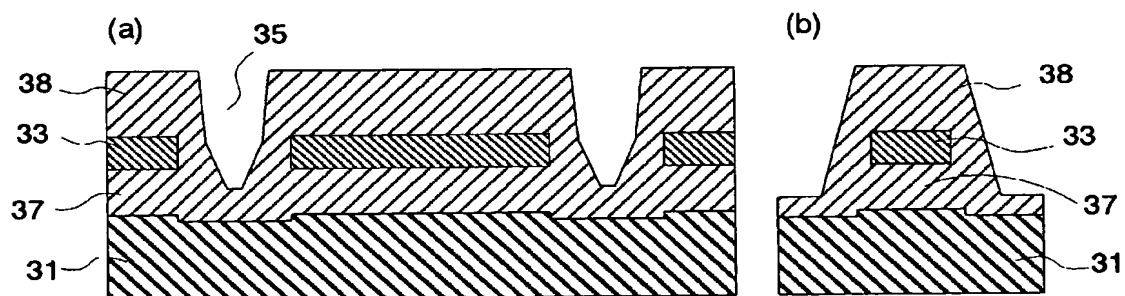
[図6]



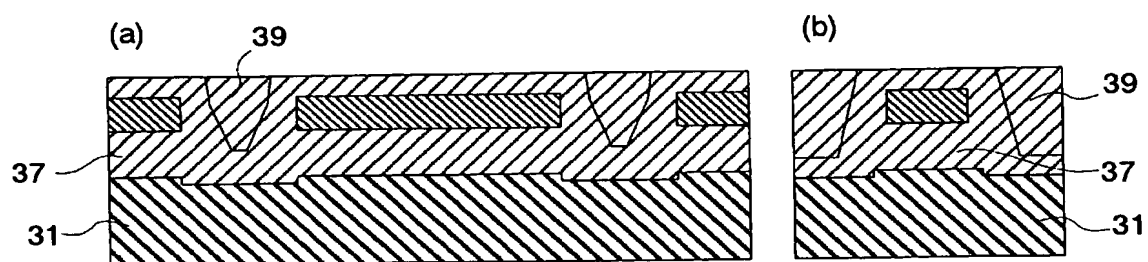
[図7]



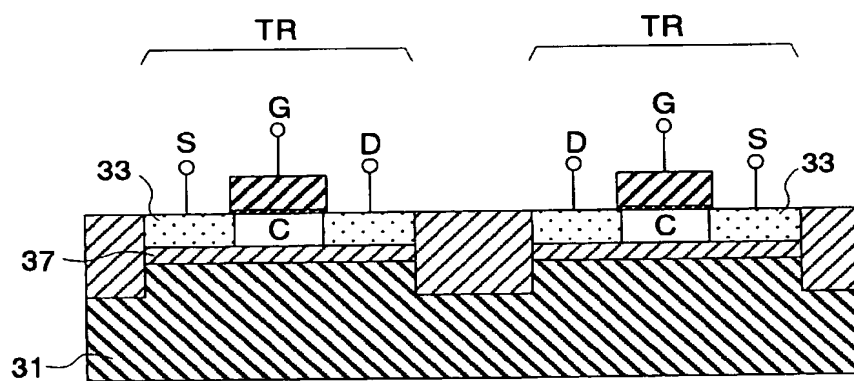
[図8]



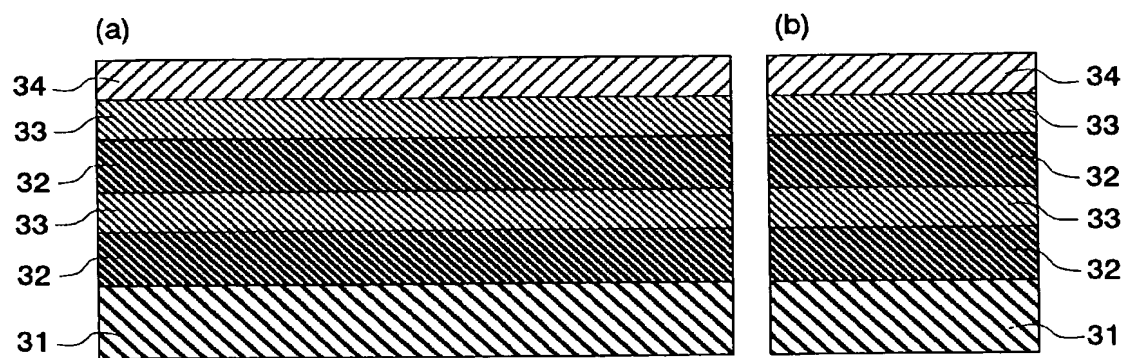
[図9]



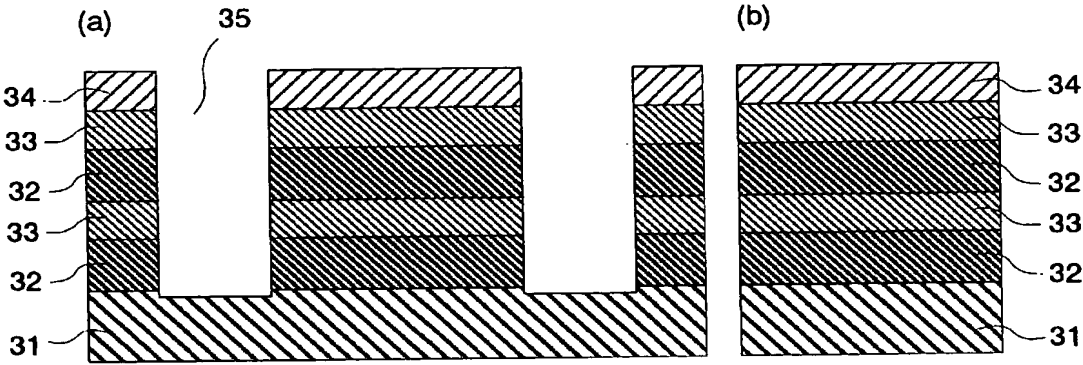
[図10]



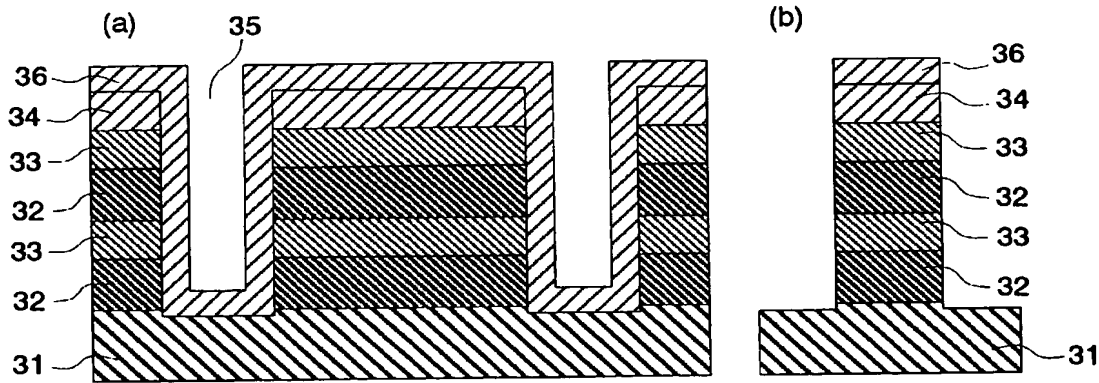
[図11]



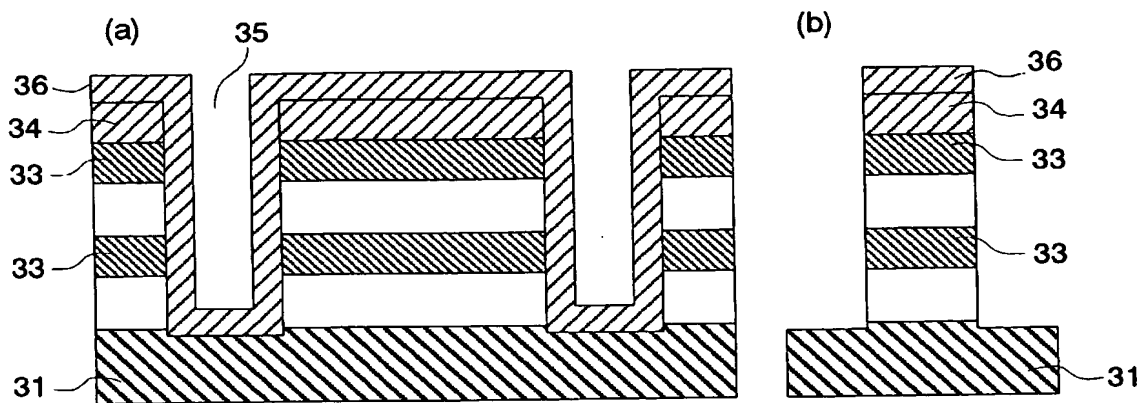
[図12]



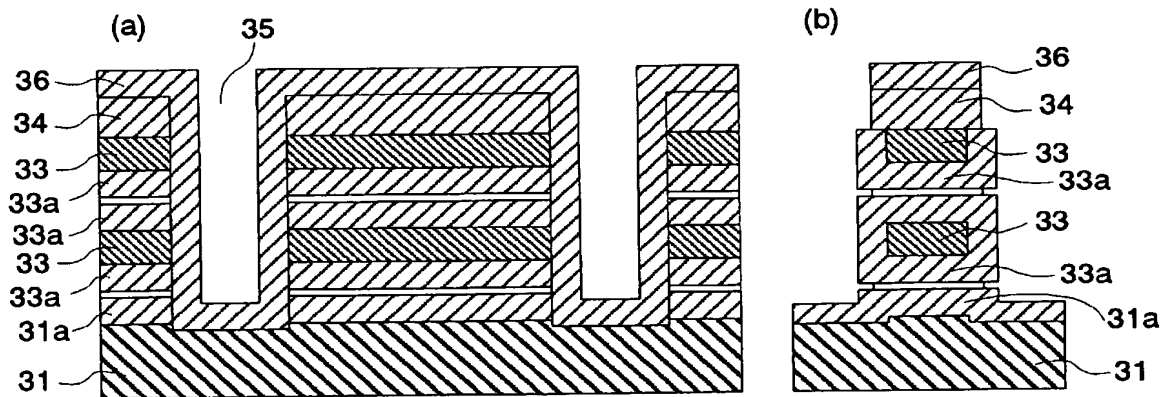
[図13]



[図14]

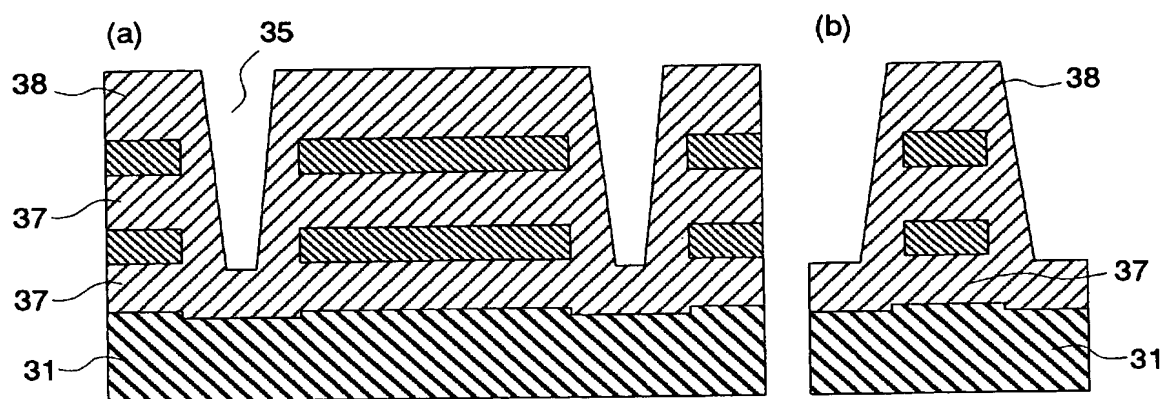


[図15]

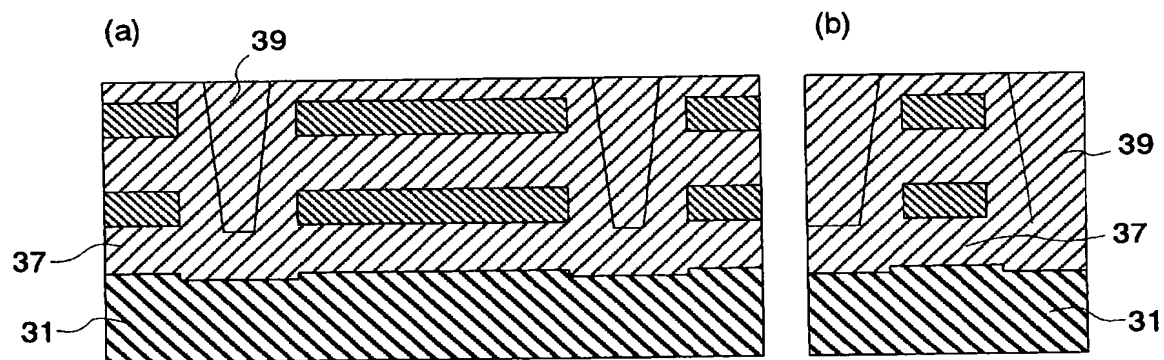





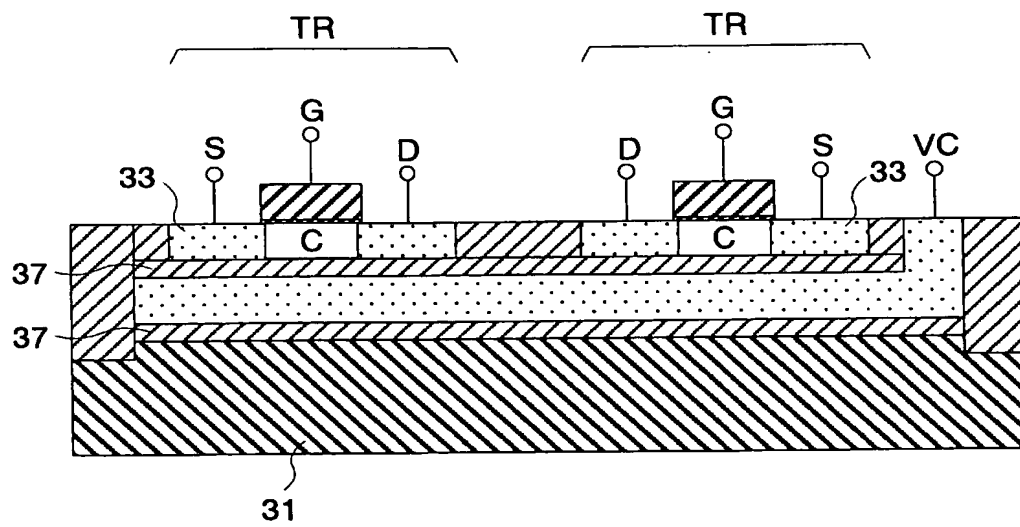
[図16]



[図17]

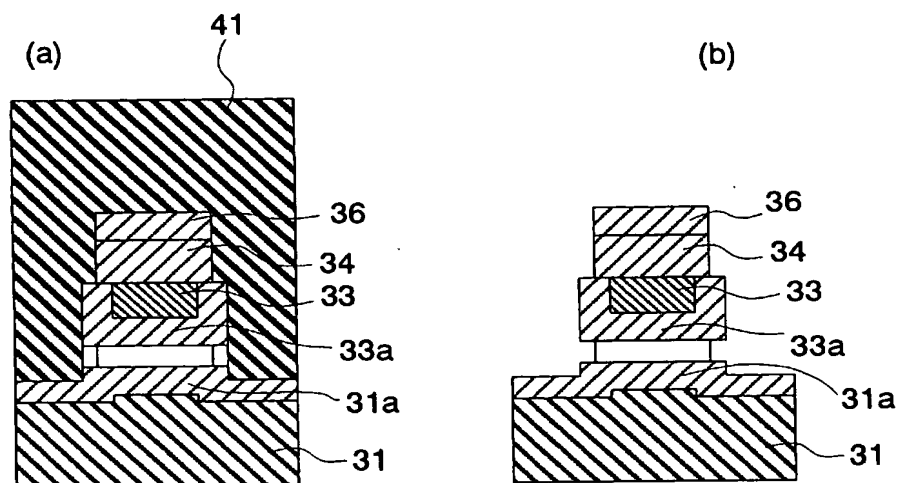


[18]

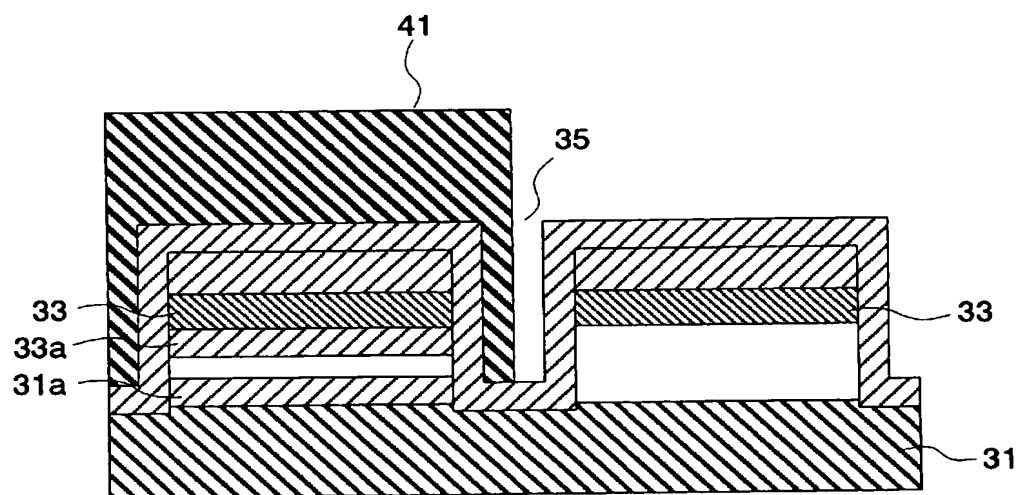




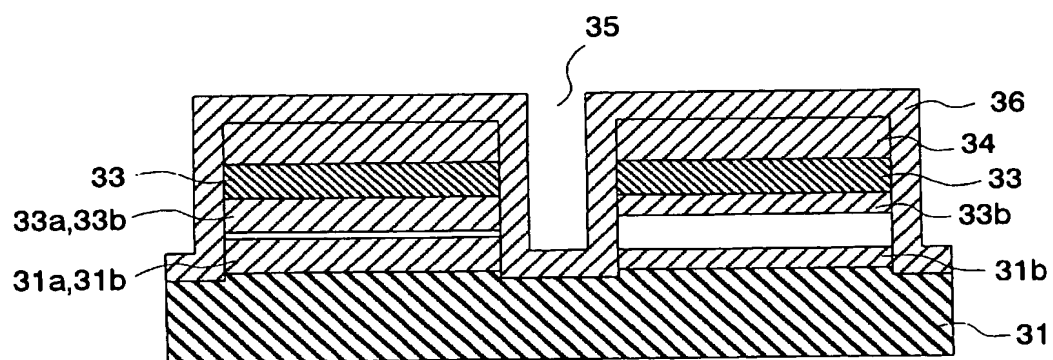
[図21]



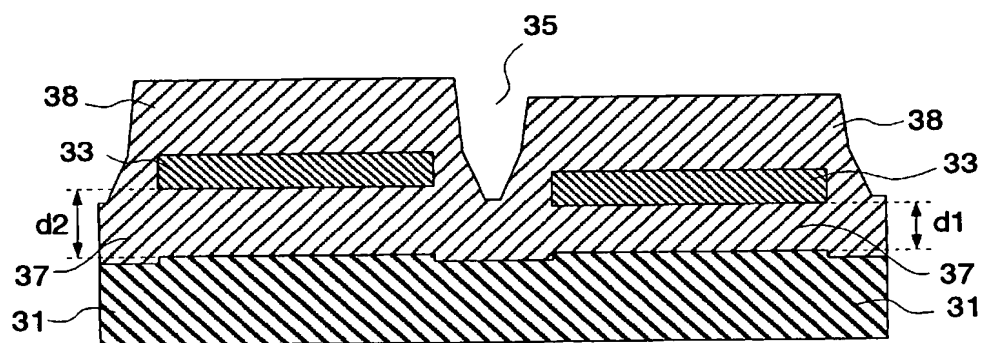
[図22]



[図23]

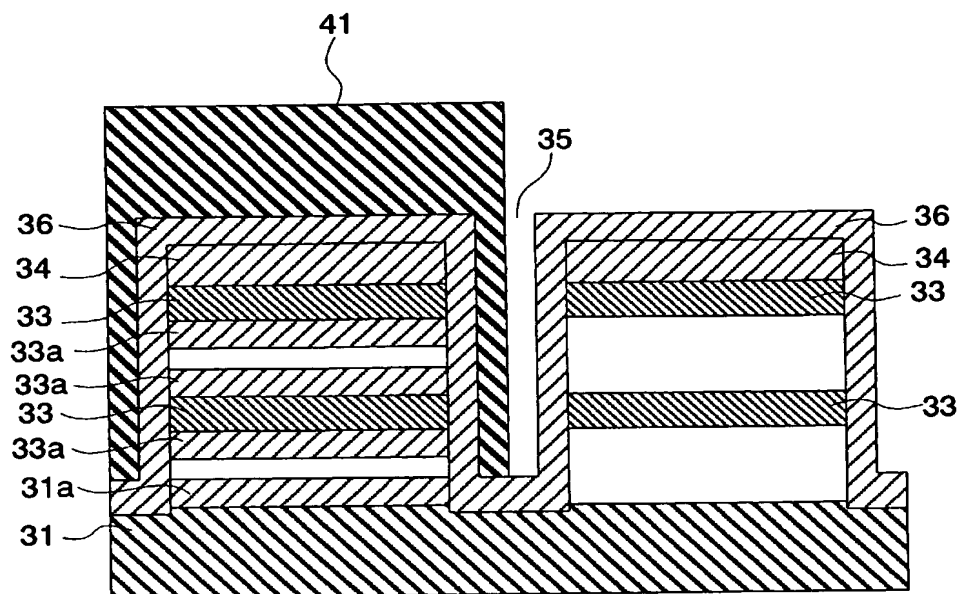


[図24]

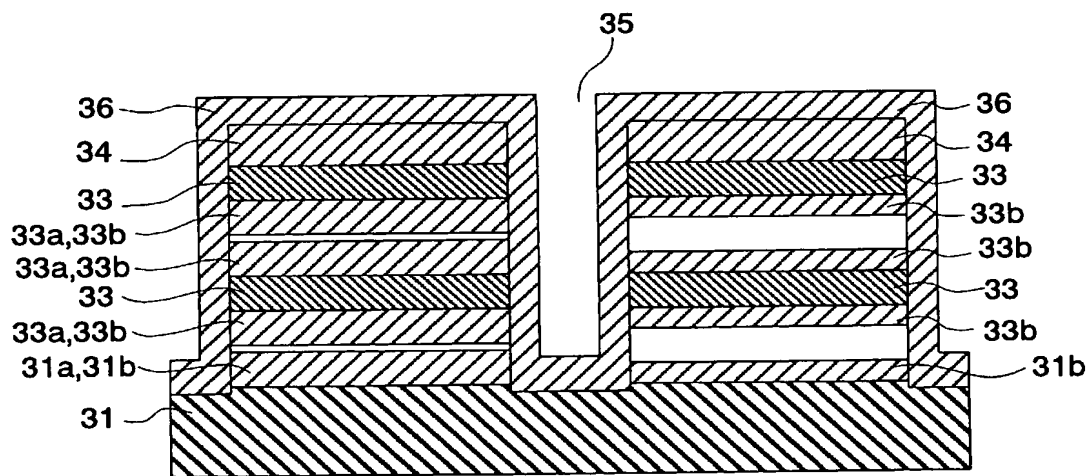




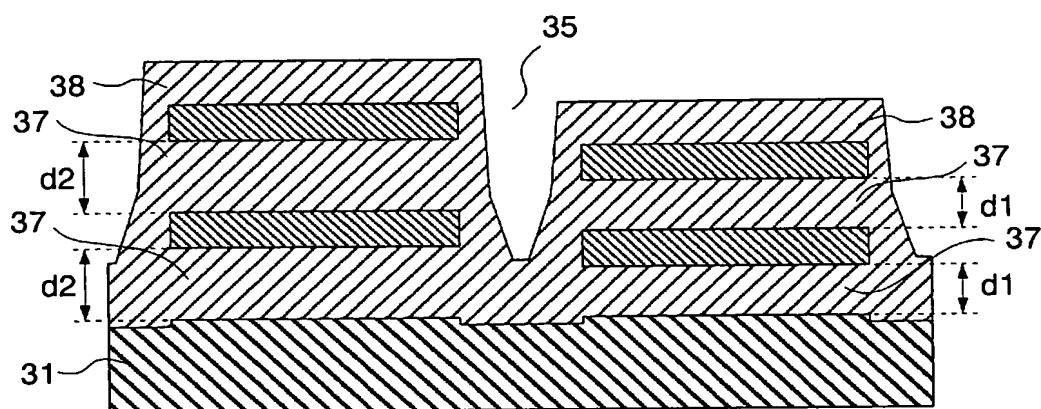
[図27]



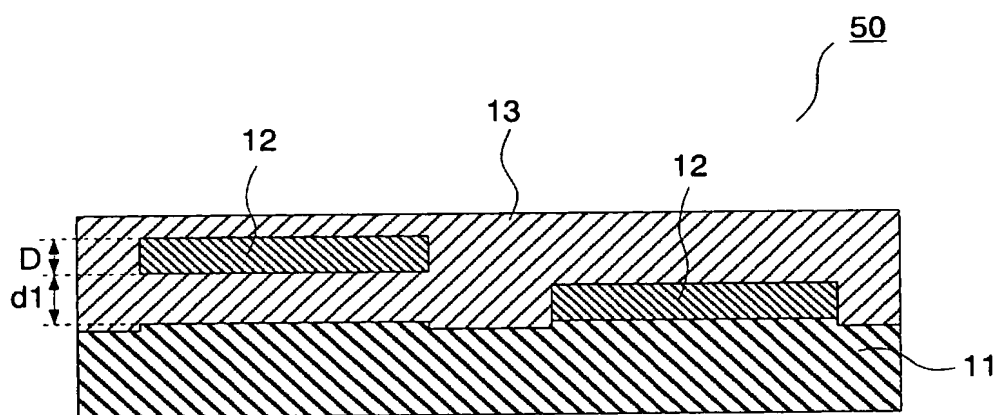
[図28]



[図29]

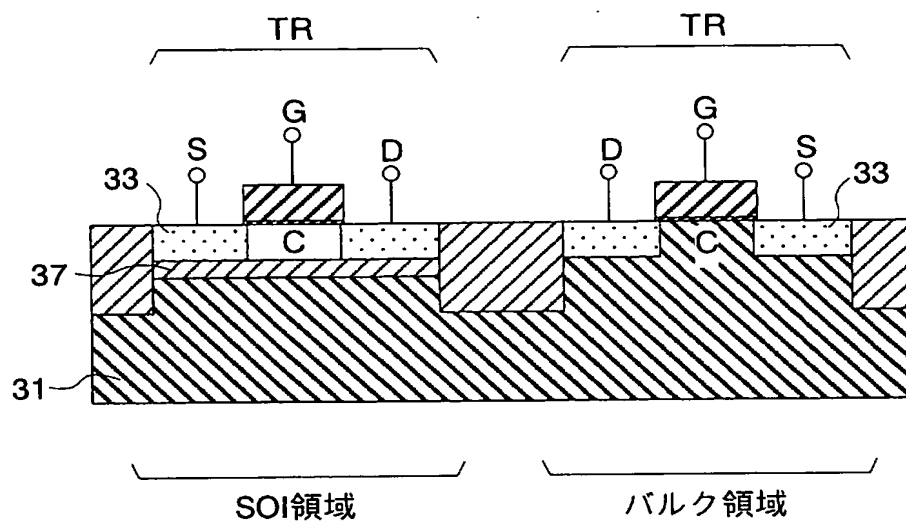


[図30]

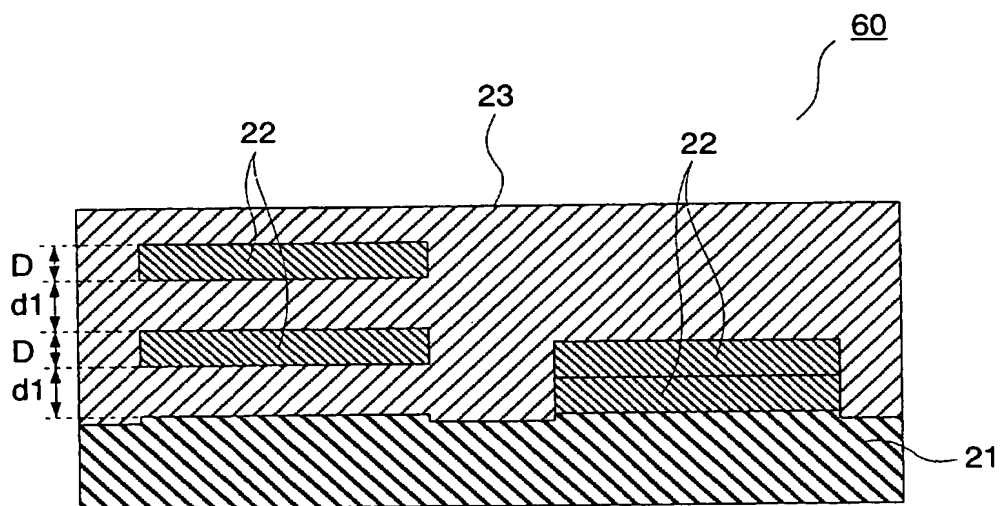




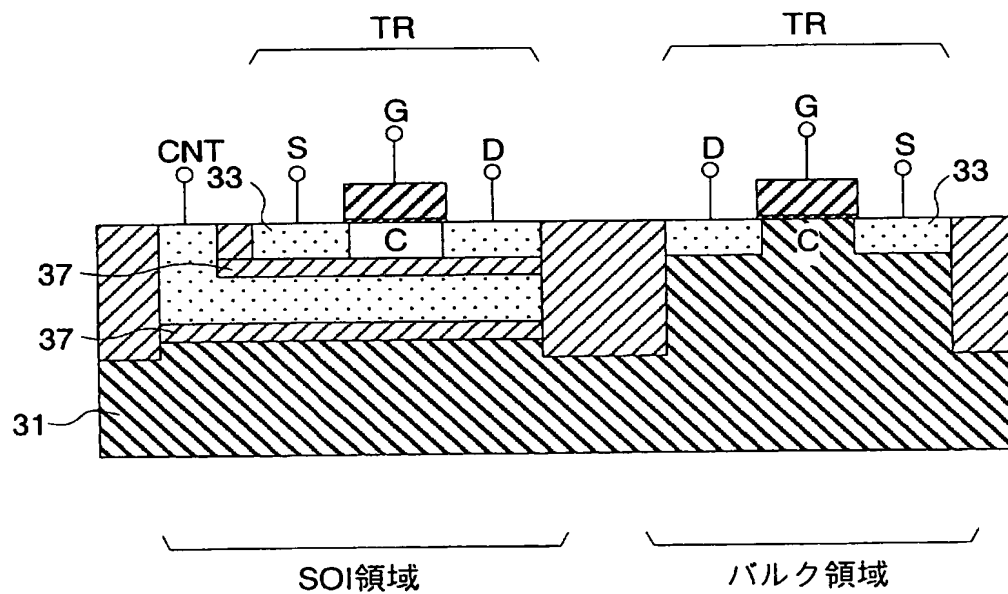
[図31]



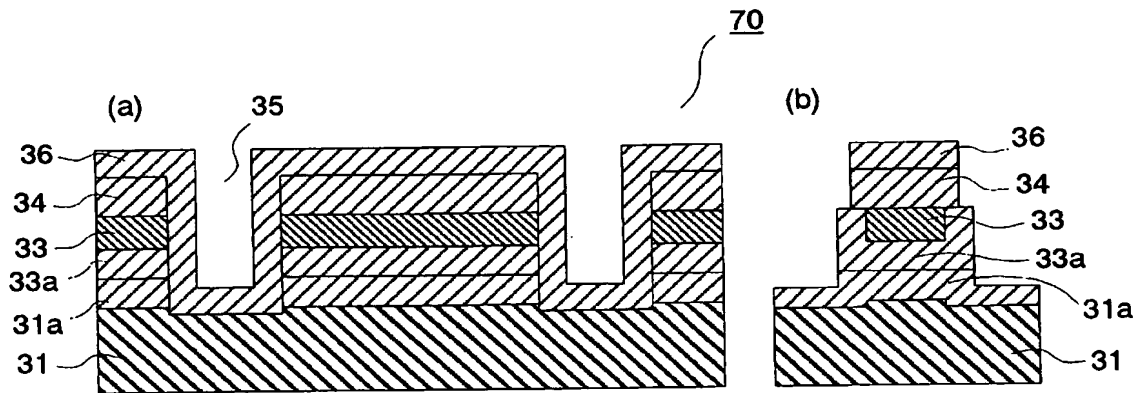
[図32]



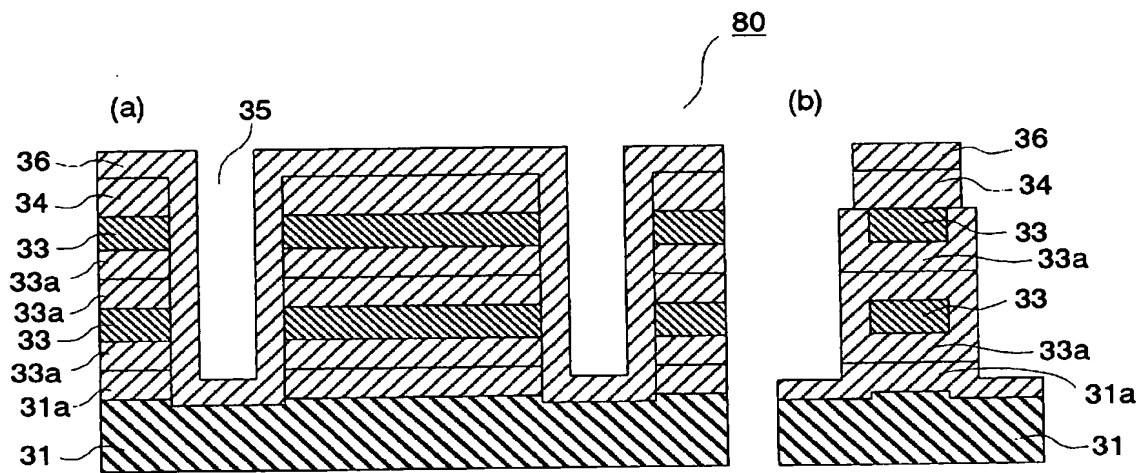
[図33]



[図34]



[図35]



VIII-5-1	不利にならない開示又は新規性喪失の例外に関する申立て 不利にならない開示又は新規性喪失の例外に関する申立て(規則4.17(v)及び51の2.1(a)(v)) 氏名(姓名)	本国際出願 に関し、 国立大学法人東京工業大学、酒井徹志、大見俊一郎、 山▲崎▼崇 は、本国際出願の請求項に記載された対象が以下のように開示されたことを申し立てる。
VIII-5-1(i)	開示の種類:	刊行物
VIII-5-1(ii)	開示の日付:	2004年 09月 01日 (01.09.2004)
VIII-5-1(iii)	開示の名称:	第 6 5 回応用物理学会学術講演会
VIII-5-1(iv)	開示の場所:	日本
VIII-5-1(v)	本申立ては、次の指定国のためになされたものである。:	すべての指定国

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014603

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/762, H01L27/12, H01L29/786, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/762, H01L27/12, H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 07-335735 A (Nippondenso Co., Ltd.), 22 December, 1995 (22.12.95), Par. Nos. [0020] to [0029]; Fig. 1 (Family: none)	1, 3, 6, 7, 12, 13, 15
Y		2, 4, 5, 8-11, 14
A		16-32
Y	JP 05-021465 A (Fujitsu Ltd.), 29 January, 1993 (29.01.93), Full text; all drawings (Family: none)	2, 5
Y	JP 2003-152191 A (Semiconductor Energy Laboratory Co., Ltd.), 23 May, 2003 (23.05.03), Full text; all drawings & US 2003/0141504 A1 Full text; all drawings	4, 5, 11

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
16 December, 2004 (16.12.04)Date of mailing of the international search report  
11 January, 2005 (11.01.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014603

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-102442 A (Oki Electric Industry Co., Ltd.), 13 April, 2001 (13.04.01), Full text; all drawings (Family: none)	8, 9
Y	JP 2000-150664 A (Toshiba Corp.), 30 May, 2000 (30.05.00), Par. Nos. [0037] to [0054]; Fig. 1 (Family: none)	10
Y	JP 10-209453 A (Toshiba Corp.), 07 August, 1998 (07.08.98), Full text; all drawings (Family: none)	14
E,A	JP 2004-349702 A (Sharp Corp.), 09 December, 2004 (09.12.04), Full text; all drawings (Family: none)	16-32

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>1</sup> H01L21/762, H01L27/12, H01L29/786, H01L21/336

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>1</sup> H01L21/762, H01L27/12, H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 07-335735 A (日本電装株式会社) 1995. 12. 22, 段落【0020】-【0029】, 第1図	1, 3, 6, 7, 12, 13, 15
Y	(ファミリーなし)	2, 4, 5, 8-11, 14 16-32
A		
Y	J P 05-021465 A (富士通株式会社) 1993. 01. 29, 全文, 全図 (ファミリーなし)	2, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

16. 12. 2004

国際調査報告の発送日

11. 1. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

4 L

3 1 2 5

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-152191 A (株式会社半導体エネルギー研 究所) 2003. 05. 23, 全文, 全図 & US 2003/0141504 A1, 全文, 全図	4, 5, 11
Y	J P 2001-102442 A (沖電気工業株式会社) 2001. 04. 13, 全文, 全図 (ファミリーなし)	8, 9
Y	J P 2000-150664 A (株式会社東芝) 2000. 05. 30, 段落【0037】-【0054】, 第1図 (ファミリーなし)	10
Y	J P 10-209453 A (株式会社東芝) 1998. 08. 07, 全文, 全図 (ファミリーなし)	14
EA	J P 2004-349702 A (シャープ株式会社) 2004. 12. 09, 全文, 全図 (ファミリーなし)	16-32